

**14670 - APLICACIONES DE LOS  
DISPOSITIVOS LÓGICOS  
PROGRAMABLES**

**ASIGNATURA:** 14670 - APLICACIONES DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES

**CENTRO:** Escuela de Ingenierías Industriales y Civiles

**TITULACIÓN:** Ingeniero Técnico Industrial, especialidad en Electrónica Industrial

**DEPARTAMENTO:** INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

**ÁREA:** Tecnología Electrónica

**PLAN:** 10 - Año 2001 **ESPECIALIDAD:**

**CURSO:** Cr. comunes ciclo **IMPARTIDA:** Segundo cuatrimestre **TIPO:** Optativa

**CRÉDITOS:** 4,5

**TEÓRICOS:** 3

**PRÁCTICOS:** 1,5

**Descriptorios B.O.E.**

Circuitos integrados de aplicaciones específicas (ASICs): PDLs, FPGAs. Herramientas de diseño y programación de ASICs.

**Temario**

1. Introducción al diseño electrónico. (2 horas)
  - 1.1. Introducción.
  - 1.2. Sistema electrónico.
  - 1.3. La introducción de electrónica integrada en el sistema.
  - 1.4. Clasificación.
  - 1.5. Flujo de diseño de un ASIC.
2. Tecnologías para el diseño de ASICs. (8 horas)
  - 2.1. Técnicas semicustom.
    - 2.1.1. Redes de puertas (células predifundidas).
    - 2.1.2. Células estándar (precaracterizadas).
  - 2.2. Dispositivos programables.
    - 2.2.1. Introducción.
    - 2.2.2. Redes programables básicas.
    - 2.2.3. Redes de macrocélulas.
    - 2.2.4. Redes de puertas programables.
3. Herramientas y flujo de diseño. (10 horas)
  - 3.1. Introducción.
  - 3.2. Captura del diseño.
  - 3.3. Síntesis.
  - 3.4. Simulación.
  - 3.5. Diseño físico.
  - 3.6. Testabilidad y test.
  - 3.7. Encapsulado.
4. Técnicas de Diseño. (10 horas)
  - 4.1. Técnicas de diseño de unidades de memoria.
  - 4.2. Técnicas de diseño de unidades de procesamiento.
  - 4.3. Técnicas de test.

- 4.4. Distribución del reloj.
- 4.5. Técnicas de gestión de la alimentación.

## Requisitos Previos

El estudiante debe tener conocimientos básicos sobre electrónica digital.

## Objetivos

Conocimiento de las técnicas y metodologías ASICs (Circuitos Integrados de Aplicación Específica) destacando el diseño y programación en dispositivos programables, tanto FPGAs (Redes de Puertas Programables por Campo) como PLDs (Dispositivos Lógicos Programables), así como, las herramientas de diseño que van a permitir un prototipado rápido de diseños más o menos complejos.

## Metodología

La Parte Teórica consta de 3 créditos, de los cuales:

- 1,5 créditos serán para impartir los conocimientos teóricos utilizando el proyector de transparencia combinado con la pizarra.
- 1,5 créditos se utilizarán para desarrollar los problemas que se implementarán posteriormente en el laboratorio.

En la Parte Práctica (1,5 créditos) se implementan los desarrollos planteados en cada una de las prácticas.

La enseñanza de esta parte es directa, individualizada y activa.

## Criterios de Evaluación

La evaluación de la asignatura se realizará a través de la evaluación continua en el laboratorio, atendiendo a la asistencia, manejo de la herramienta, conocimientos teóricos y prácticos, y calidad de las memorias realizadas.

Para ello, es necesario que el alumno realice cada una de las prácticas programadas a lo largo del curso, entregando al finalizar la misma, una memoria del trabajo realizado.

La nota final se calculará como la media ponderada de la nota obtenida en cada una de las prácticas superadas durante el cuatrimestre.

En el caso de no superar alguna o el total de las prácticas, el estudiante deberá examinarse, al final del cuatrimestre, de las partes no superadas.

## Descripción de las Prácticas

Las Clases prácticas se realizarán en el Laboratorio de Diseño VLSI y Test del DIEA (203B)

Las prácticas consisten en el desarrollo de sistemas digitales, de menor a mayor complejidad, sobre PLDs y FPGAs, utilizando el entorno de trabajo Altera, y contemplando las diferentes fases del diseño (captura de esquemáticos, simulación, implementación y verificación sobre los dispositivos lógicos programables).

La distribución de las prácticas y su temporización es la siguiente:

- Práctica 1. Repaso de electrónica Digital (2 horas)
- Práctica 2. Introducción a Altera Quartus II ( Tutorial). (2 horas)
- Práctica 3. Diseñar y programar en la Placa UP2 de Altera un circuito combinacional. (3 horas)
- Práctica 4. Introducción a VHDL (Tutorial). (2 horas)
- Práctica 5. Diseñar y programar en la Placa UP2 un cantador ascendente/descendente de 0-99 con carga inicial de inicio y fin. El resultado se debe muestra en 2 display de 7 segmentos.(3 horas)
- Práctica 6. Diseñar y programar en la placa UP2 de Altera un Semáforo ( coches y peatones ). Se deberá programar y visualizar el tiempo disponible para los peatones ( 10 - 20 seg). (3 horas)

## Bibliografía

---

### [1 Básico] DIGITAL DESIGN W/CPLD APPLICATIONS & VHDL-E.RESOURCE 2E

*DUECK; A/*

*1401840329*

---

### [2 Básico] Dispositivos lógicos programables /

*Enrique Mandado, Luis Jacobo Alvarez, M Dolores ValdÔes.*

*Thomson,, Madrid : (2002)*

*8497320549*

---

### [3 Básico] Diseño de aplicaciones mediante PLDs y FPGAs /

*L. Jacobo Alvarez Ruiz de Ojeda.*

*Tórculo Edicions,, [Santiago de Compostela] : (2001)*

*84-8408-169-9*

---

### [4 Básico] Ejercicios prácticos con lógica programable /

*Miguel Angel Larrea Torres ... [et al.].*

*Editorial UPV,, Valencia : (2002)*

*8497052919*

---

### [5 Básico] Digital design with CPLD applications and VHDL /

*Robert K. Dueck.*

*Delmar : Thomson Learning,, Albany, NY : (2005) - (2ª ed.)*

*1401840302*

---

### [6 Básico] Digital applications for CPLDs: a lab manual /

*Robert K. Dueck.*

*Delmar,, Albany : (2000)*

*0766816966*

---

### [7 Básico] Documentación de Altera disponible en [www.altera.com](http://www.altera.com)

---

### [8 Recomendado] Rapid prototyping of digital systems: a tutorial approach /

*James O. Hamblen, Michael D. Furman.*

*Kluwer Academic,, Boston : (2001) - (2nd ed.)*

*0792374398*

---

### [9 Recomendado] Application-specific integrated circuits /

*Michael John Sebastian Smith.*

*Addison-Wesley,, Reading, Mass. : (1997)*

*0201500221*

**CARLOS ALBERTO COUROS FRÍAS**

(COORDINADOR)

**Categoría:** PROFESOR ASOCIADO LABORAL

**Departamento:** INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

**Teléfono:** 928451222 **Correo Electrónico:** ccouros@diea.ulpgc.es

**WEB Personal:** <http://www.diea.ulpgc.es/users/couros/index.html>

## Resumen en Inglés

The Objective of the subject is the knowledge on the part of the student of the techniques and ASICs methodologies (ASIC) emphasizing the design and programming in programmable devices, as much FPGAs (Networks of Programmable Doors by Field) like PLDs (PLD), as well as, the design tools that are going to allow a fast implementation of the designs.

The evaluation of the subject will be made through the continuous evaluation in the laboratory, taking care of the attendance, theoretical and practical handling of the tool, knowledge, and quality of the made memories. For it, it is necessary that the student makes each one of the practices programmed throughout the course, giving when finalizing the same one, a memory of the made work. The final note will calculate like the weighted average of the note obtained in each one of the practices surpassed during the fourth month period. In the case of not surpassing some or the total of the practices, the student will have to be examined, at the end of the fourth month period, of the parts nonsurpassed.

The Practical exercises will be made in the Laboratory of Design VLSI and Test of the DIEA (203B) The practices consist of the development of digital systems, of minor to greater complexity, on PLDs and FPGAs, using the UP2 de Altera, and contemplating the different phases from the design (it captures of schematic, simulation, implementation and verification on the PLD). The distribution of the practices and its temporización are the following one:

Practice 1. Review of Digital electronics (2 hours) Practical 2. Introduction to Alters Quartus II (Tutorial). (2 hours)

Practical 3. To design and to program in the UP2 of Altera a combinational circuit. (3 hours)

Practical 4. Introduction to VHDL (Tutorial). (2 hours) Practical 5. To design and to program in the UP2 a ascendente/descendente counter of 0-99 with initial charge of beginning and aim. (3 hours)

Practical 6. To design and to program in the UP2 of Altera a Traffic light. The time available for the pedestrians will be due to program and to visualize (10 - 20 seg). (3 hours)